

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-059551

(43)Date of publication of application : 07.03.1989

(51)Int.Cl.

G06F 13/00

G06F 3/00

G06F 3/02

G06F 15/06

(21)Application number : 62-218216

(71)Applicant : NEC CORP

(22)Date of filing : 31.08.1987

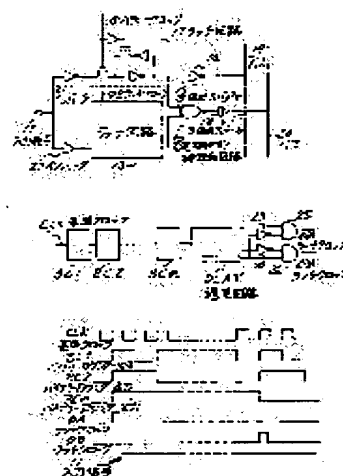
(72)Inventor : KOGA TAKATOSHI

(54) INPUT CIRCUIT

(57)Abstract:

PURPOSE: To surely fetch an input signal, by fetching the input signal impressed on an input terminal at a prescribed time interval for two times, and reading a compared result.

CONSTITUTION: Binary counters BC1WBCn count a reference clock CLK, and output it as shown in figure. Latch clocks ϕ A and ϕ B are outputted at the leading edge and the trailing edge of the binary counter BCn, respectively, and used for the input of the input signal impressed on the input terminal 11 to latch circuits 12 and 13. Since the latch circuits 12 and 13 are compared by a NOR circuit 16 and a readout control signal 14 is impressed only when they coincide with each other and the output of the latch circuit 12 is outputted to a bus 19, it is possible to surely fetch the input signal.



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-59551

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月7日

G 06 F 13/00
3/00
3/02
15/06

3 0 1
3 3 0
3 2 0

U-7230-5B
W-7230-5B
A-8724-5B
E-7343-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 入力回路

⑯ 特 願 昭62-218216

⑰ 出 願 昭62(1987)8月31日

⑱ 発 明 者 古 賀 隆 俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

入力回路

特 許 請 求 の 範 囲

複数ビットのバイナリーカウンタよりなるウォッチドッグタイマを備えたマイクロコンピュータにおける入力回路において、

前記ウォッチドッグタイマの任意段のバイナリーカウンタの出力の立上りに同期して第1のクロック、また立下りに同期して第2のクロックを生成するラッチクロック生成回路と、入力端子に印加される入力信号を前記第1クロックにより取り込む第1ラッチ回路と、前記第2クロックにより取り込む第2ラッチ回路と、

前記第1ラッチ回路と前記第2ラッチ回路の出力を比較する一致検出回路

とを設け、前記比較の結果により、一致したときにのみ前記第1ラッチ回路の出力を内部データ

バスに送出するようにしたことを特徴とする入力回路。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は入力回路、特にマイクロコンピュータにおいて、チャタリングが発生する様な入力信号を入力する入力回路に関する。

〔従来の技術〕

従来のこの種の入力回路は、第4図に示す様に入力端子4-1に入力する入力信号を入力バッファに当るインバータ4-2で受け、その出力を次段のインバータ4-3に入力し、それを入力命令時に発生する入力制御信号4-4により制御される3値出力バッファ4-5によって内部データバス4-6に取り込むようにしている。

〔発明が解決しようとする問題点〕

上述した従来の入力回路は、入力端子4-1に印加された入力信号を、ただ単に入力命令時に発生する入力制御信号4-4のタイミングに従って、

特開昭64-59551 (2)

バス46に取り込むだけとなっているので、第5図で示す様にチャタリングが発生する様な入力信号の場合には、そのチャタリング発生時に入力命令を実行するとバス46には“0”と“1”のいずれが取り込まれるか不明である。

このため、入力命令を複数回実行し、その度にデータをマイクロコンピュータに内蔵されているメモリーに貯わえておいて、その比較を演算回路で行なう事により、入力信号を確実に入力できたか否か確認しなければならないという問題点がある。

上述した従来の入力回路に対し、本発明は、入力端子に印加された入力信号を一定時間間隔で2回取り込み、その比較結果を読み取る事により、入力信号を確実に取り込むことができるという相違点を有する。

〔問題点を解決するための手段〕

本発明の入力回路は、複数ビットのバイナリーカウンタよりなるウォッチドッグタイマの任意段のバイナリーカウンタの出力の立上りに同期

して第1のクロック、また立下りに同期して第2のクロックを生成するラッチクロック生成回路と、入力端子に印加される入力信号を第1クロックで取り込む第1ラッチ回路と、第2クロックで取り込む第2ラッチ回路と、第1ラッチ回路と第2ラッチ回路の出力を比較する一致検出回路とを設け、この比較の結果により、一致したときのみ第1ラッチ回路の出力を内部データバスに読出すようにしたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の回路図である。

第1図を参照すると、本実施例は2つのラッチ回路12、13と、2つの3値出力バッファ15、18と、否定排他的論理和回路16と、2つのインバータ21、22とから成ることがわかる。

インバータ21、22は、入力端子11に印加される入力信号を反転してラッチ回路12、13

に供給する。ラッチ回路12は、ラッチクロックφAにตอบสนองしてインバータ21の出力をラッチし、またラッチ回路13は、ラッチクロックφBにตอบสนองしてインバータ22の出力をラッチする。

ラッチ回路12と13の両出力は否定排他的論理和回路16に inputs し比較される。この否定排他的論理和回路16は、反転回路を内蔵しているので、“1”出力のときにラッチ回路12と13の両出力が一致していることになる。

否定排他的論理和回路16の出力は、読出制御信号17にตอบสนองして活性化される3値出力バッファ18を介してバス20に読出される。

一方、ラッチ回路12の出力は3値出力バッファ15に供給されているが、この3値出力バッファ15は入力制御信号14によって活性化され、ラッチ回路12の出力、すなわち、ラッチクロックφAにตอบสนองしてラッチされた入力信号をバス19に出力する。入力制御信号14は、前述のようにしてバス20に読出される否定排他的論理和

回路16の出力が“1”のときのみ、印加されるように制御される。

第2図は、ラッチクロックφA、φBが生成される回路を示している。本回路は、基準クロックCLKをカウントするn段のバイナリーカウンタBC1〜BCnから成るウォッチドッグタイマーの出力に、遅延回路DELAYと、2つのインバータ23、24と、2つのアンドゲート25、26とを追加して構成している。

このような構成の結果により、ラッチクロックφAはバイナリーカウンタBCnの立上り、またラッチクロックφBはバイナリーカウンタBCnの立下りに同期して発生することになる。

なお、ウォッチドッグタイマーは、周知のように、マイクロコンピュータのハードウェアの異常を検出するために備わっているタイマーであり、本発明は、その出力を利用した形になっている。

第3図は本実施例の動作を示すタイミングチャートである。第2図のバイナリーカウンタBC1、BC2、BCnは、基準クロックCLKをカ

特開昭64-59551 (3)

ウントし、第3図のように出力する。前述のように、ラッチクロック ϕA 、 ϕB はバイナリーカウンタBCnの、それぞれ立上りと立下りで出力され、入力端子11に印加される入力信号をラッチ回路12、13に入力するのに使用される。

ラッチ回路12、13は、否定排他的論理回路16によって比較され、一致したときのみ読出制御信号14が印加されて、ラッチ回路12の出力がバス19に読出されるため、入力信号を確実に取り込むことができることになる。

第4図は本発明の第2の実施例の回路図である。

本実施例は、ラッチ回路32、33の出力が一致せず、否定排他的論理回路34の出力が“0”のときには、これを禁止信号39として出力し、入力命令自体を禁止するようにしている。(発明の効果)

以上説明したように本発明は、入力端子に印加されている入力信号を一定時間間隔で2度にわたって取り込み、その比較を行なって一致したとき

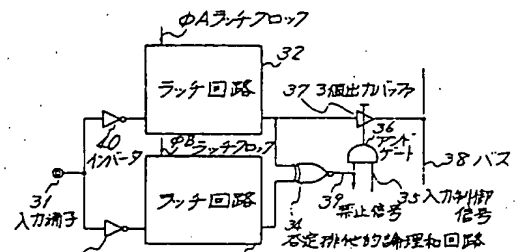
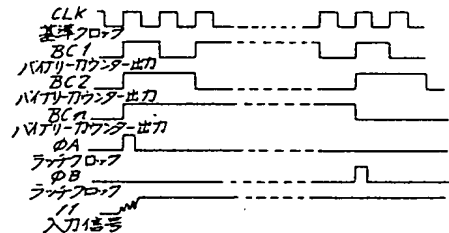
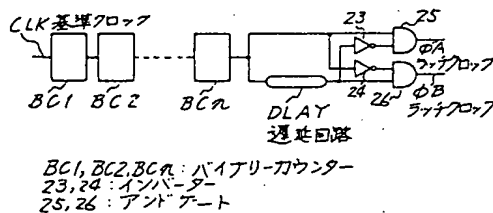
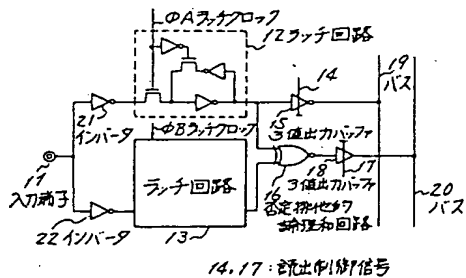
のみ有効化するため、従来のように、複数回の入力命令を実行しその値が貯わえられているメモリの値を演算回路で比較を行なうなどの処理を行わなくてすむという効果がある。

図面の簡単な説明

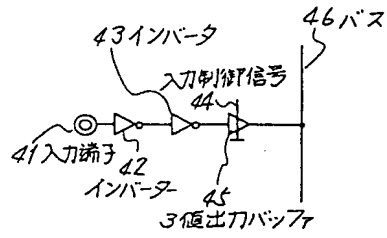
第1図は本発明の第1の実施例の回路図、第2図は本実施例におけるラッチクロックの生成回路図、第3図は第1の実施例のタイミング図、第4図は本発明の第2の実施例の回路図、第5図は従来の回路図および第6図は従来例のタイミング図をそれぞれ示す。

11、31、41…入力端子、12、13、32、33…ラッチ回路、15、18、37、45…3値出力バッファ、16、34…否定排他的論理回路、19、20、38、46…バス、21、22、23、24、40、4A、42、43…インバータ、BC1、BC2、BCn…バイナリーカウンタ、25、26、36…アンドゲート。

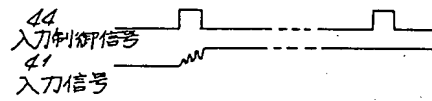
代理人 弁理士 内原 晋



特開昭64-59551(4)



第5図



第6図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)